

국가전략기술 반도체 설계 기본 참가안내문

교육목표

- 전압제어발진기(VCO) 및 가변이득증폭기(VGA) background에 대해 이해한다.
- Cadence를 활용한 VCO/VGA 설계/simulation/layout 방법을 숙지한다.

과정개요

[대상] 서울과기대 재학생

[기간] 2023.7.31(월) ~ 8.4(금), 10:00~17:00

[장소] 서울과학기술대학교 미래관 116호 컴퓨터실

[비용] 무료

[주관] 국가과학기술인력개발원

교육수료

- 교육시간의 참석률 80%이상, 설문조사 완료 시 수료, 80%미만 시 자동 미수료 처리됩니다.
- 교육시간의 참석률 80%이상이라도 무단 결석/결강/외출/외박/조퇴 시 미수료(퇴소)합니다.
- 교육기간 중 불참 사유 발생시 반드시 교육과정 운영자와 사전 협의 바랍니다.
- 수료증은 교육종료 후 KIRD 홈페이지(www.kird.re.kr) 로그인-마이페이지에서 출력 가능합니다.

교육일정

시간표

일차	시간	내용
7/31 (월)	10:00~17:00	• 강좌개요 및 IC설계 process - 강좌 개요 (반도체 산업의 구성, 직군별 특성 등 전반적인 내용) - IC 설계 process 및 용어 설명
8/1 (화)	10:00~17:00	• 전압제어발진기 개요 - 전압제어발진기 개요/필요성 - Ring oscillator vs LC oscillator • Virtuoso schematic editor 실습 I - Virtuoso Schematic/Layout Editor - Ring oscillator design
8/2 (수)	10:00~17:00	• Virtuoso Layout editor 실습 I - LC oscillator design - DRC & LVS - GDS extraction
8/3 (목)	10:00~17:00	• 가변이득증폭기 개요 및 이론적 배경 - 가변이득증폭기 필요성 및 적용 시스템 관련 지식 - 가변이득증폭기 배경지식 및 동작원리 • Virtuoso schematic editor 실습 II - Low phase-error VGA design (schematic)
8/4 (금)	10:00~17:00	• Virtuoso Layout editor 실습 II - Low phase-error VGA design (Schematic) - cont'd - Layout and verification (DRC&LVS) - 강좌요약

※ 상기 내용은 사정에 따라 변경될 수 있습니다.