

2023년도 『내 칩(My Chip) 제작 서비스』 공고

과학기술정보통신부에서 지원하는 『반도체설계검증인프라활성화사업』을 통해 학부·대학원생 등을 대상으로 내 칩(My Chip) 서비스를 통해 MPW 제작을 지원하오니, 많은 관심과 참여를 바랍니다.

2023. 7. 24.

반도체설계검증인프라활성화사업 책임자 박건식

1. 사업목적

- 대학 학부·대학원생 등 반도체 설계 실무자 인재양성지원을 위한 설계검증용 MPW 제작 지원
- 한국전자통신연구원(ETRI), 서울대학교(SNU) 반도체공동연구소, 대구경북과학기술원(DGIST) 등 공공기관 반도체 Fab. 장비 및 공정 통합연계 시스템 구축을 통한 공동운용 및 효율 극대화

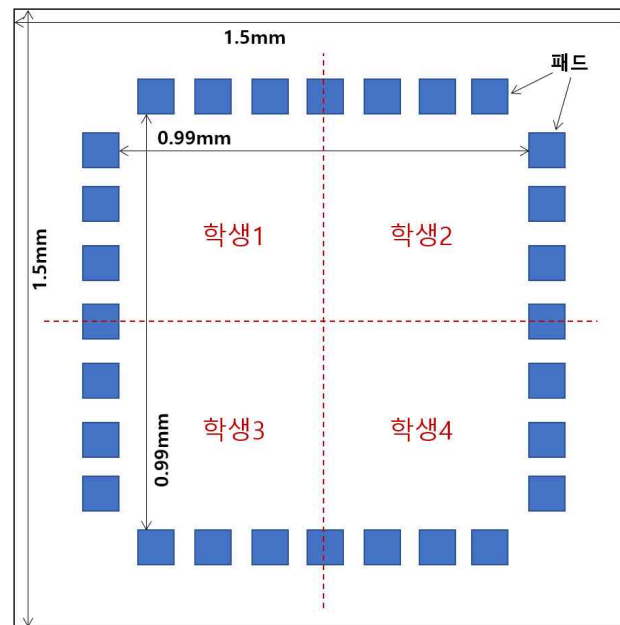
2. 지원자격 및 우대사항

- 대학 학부·대학원생으로써 0.5 μ m Si CMOS 회로 설계가 가능한 학생
 - Si CMOS 회로 설계 및 레이아웃 Tool을 사용할 수 있는 대학 학부·대학원생
 - 제작된 집적회로(IC)의 특성 평가 분석이 가능한 대학 학부·대학원생
- * 대학 지도교수의 승인 필수
- 우대사항
 - 대학 수업 등 교육 프로그램과 연계된 경우 우선 선정
 - 대학 교육프로그램의 연속성 반영 (2차 MPW 지원부터)
- 연구소, 기업체 등 대학 학부·대학원생 외 신청의 경우 사전 별도 협의

3. 지원내용

- 0.5 μ m Analog CMOS 기반 집적회로 MPW (Multi-Project Wafer) 제작, Bare Die 및 패키지 칩 무료 제작 지원
 - 지원 상세 내용
 - CMOS Technology: 0.5 μ m Analog CMOS (2-poly/3-metal)
 - PDK 포함 내용 (2023년)
 - . Model Parameter: NMOS, PMOS, Diode, Resistor, Capacitor
 - . Rule Deck (Calibre): DRC, LVS, PEX
 - . Design Rule & Design Guide Handbook
 - . Pcell (CMOS, Diode, Resistor, Capacitor, Inverter, NAND, NOR), IO-PAD
 - * Sub-PNP BJT Model 및 Pcell, Assura Rule Deck은 2024년부터 제공
 - 패키지 칩 (28-Pin SOP 패키지) 20개 및 Bare Die (1.5mm x 1.5mm) 30개 내외 전달
 - 연도별 MPW 제작 지원 계획
 - 2023년 : Test MPW 1회 (25팀 내외)
 - . 2023년 Test MPW 는 2-poly/2-metal 공정 지원 (ETRI Fab.)
 - 2024년, 2025년 : 년 150팀 내외
 - . 회당 25개팀으로 나누어 년 6회 MPW 제작 지원 (ETRI, 서울대학교, DGIST)
 - 2026년, 2027년 : 년 300팀 내외
 - . 회당 25개팀으로 나누어 년 12회 MPW 제작 지원 (ETRI, 서울대학교, DGIST)
 - * 2024~2026년 MPW 제작지원 일정 및 공고·접수 추후 별도 공지
 - 지원 인원
 - 지도교수가 4~5명의 학생을 한 팀으로 구성하는 것을 원칙으로 하되, 4명 미만도 한 팀으로 구성 가능하며, 학생이 각각 작성한 신청서를 그룹핑하여 팀 단위로 신청
 - * 학생 1인당 1개 회로 설계 권장
 - 한 팀당 0.99mm x 0.99mm 면적 활용 (Chip size : 1.5mm x 1.5mm)
 - 지도 교수 1인당 신청 건수는 제한 없음
 - * 학생 1인당 신청 건수는 제한 없으나, 신청 건수가 많을 시 1인당 1건으로 제한
- ※ 신청서는 학생별 각각 작성(홈페이지 양식 참조)

<1팀 칩 구성 예시>



3. 2023년 지원절차 및 일정

절 차	내 용	담 당	일 정
① 지원공고	MPW 무료 제작 지원 공고	KION	7월 24일 ~ 8월 31일
② 신청접수	KION 웹에 신청서 제출	지도교수	8월 1일 ~ 8월 31일
③ 평가 승인/통보	심사위원단의 평가 후, MPW 제작 지원 승인	심사위원단	9월 1일 ~ 9월 15일
④ PDK 배포	선정자에 한해 KION 웹에서 PDK 다운로드	KION, 지도교수, 학생	9월 16일 ~
⑤ DB 업로드	0.5 μ m Si CMOS PDK를 활용한 설계 DB를 KION 웹에 업로드 (DRC, LVS 검증 결과 같이 제출)	지도교수, 학생	9월 16일 ~ 11월 15일
⑥ MPW 제작	0.5 μ m Si CMOS MPW 제작	ETRI	'23.11월 ~'24.2월
⑦ 칩 제공	Bare die 및 28-pin SOP 제공	KION	'24.3월

* PDK (PEX, IO-PAD) 배포 일정은 사정에 따라 변경 가능성 있음.

* 2024년부터 PDK 상시 Download 가능

5. 공고 · 접수

- 공고 기간 : 2023. 7. 24. ~ 2023. 8. 31.
- 신청·접수 기간 : 2023. 8. 1. ~ 2023. 8. 31.
- 신청방법 : 반도체설계검증인프라활성화사업 웹사이트(<http://mpw.kion.or.kr>)
→ “MPW 제작 지원신청서” 작성 및 제출
- * 선정 결과 발표 후, 선정자에 한하여 PDK 배포
- 선정확인 : 반도체설계검증인프라활성화사업 웹사이트에서 확인 가능

6. 선정평가

- 관련 전문가로 평가단을 구성하여 (1) 사용 Tool, (2) 연계된 교육 프로그램 및 연속성 (3) 아날로그 회로 설계 내용, (4) 평가/검증 계획 등 신청서에 작성한 내용에 대해 서면평가를 실시하여 선정
- 수업 등 교육 프로그램과 연계된 경우, 선정 평가 시 우선 선정
- 대학 교육프로그램의 연속성 및 대학 및 지역간 균등 배분 반영

7. 문의처

구분	기 관	담당자	연락처	이메일
정책 문의	과학기술정보통신부	허 관	044-202-4548	tube9540@korea.kr
신청·접수 문의	국가나노인프라협의체 (KION)	김종석	042-719-9131	jongseok.kim@kion.or.kr
기술 문의	한국전자통신연구원(ETRI) 반도체소부장기술센터	장현규	042-860-5761	janghg@etri.re.kr
	서울대학교 (SNU) 반도체공동연구소	지상엽	02-880-5449	syj@snu.ac.kr
	대구경북과학기술원 (DGIST)	이상한	053-785-0530	leesh22@dgist.ac.kr